

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-122505

(43)Date of publication of application : 10.05.1990

(51)Int.CI.

H01F 17/00
H01F 41/04

(21)Application number : 63-275813

(22)Date of filing : 31.10.1988

(71)Applicant : TAIYO YUDEN CO LTD

(72)Inventor : NISHIOKA NAOHARU
HOSHI KENICHI
FUKUI YOSHIZUMI
NAKAZAWA MUTSUJI

(54) MANUFACTURE OF LAMINATED CHIP INDUCTOR

(57)Abstract:

PURPOSE: To enhance quality coefficient by calcining a magnetic material and a conductor within a low oxygen concentration environment.

CONSTITUTION: In a method for producing a laminated chip inductor where a turn-shaped conductor is connected in a circle by applying a turn-shaped conductive paste containing Ag or Ag alloy to a non-calcined magnetic material sheet and by laminating and calcining these magnetic material sheets, activation of Ag is reduced and diffusion of Ag into the magnetic material is controlled on calcination. Thus, even if the calcination temperature is brought closer to the melting point of Ag or the solid-phase curve temperature of Ag alloy, resistance of an internal electrode does not increase. Also, quality coefficient (Q) of inductor is not reduced. Thus, it allows a magnetic material with a high calcination temperature to be used and an inductor with improved characteristics to be obtained inexpensively.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(51) Int. C1.⁵H 01 F 17/00
41/04

識別記号

D 7129-5 E
C 8019-5 E

F I

技術表示箇所

請求項の数 4

(全 6 頁)

(21) 出願番号 特願昭63-275813

(22) 出願日 昭和63年(1988)10月31日

(65) 公開番号 特開平2-122505

(43) 公開日 平成2年(1990)5月10日

(71) 出願人 999999999

太陽誘電株式会社

東京都台東区上野6丁目16番20号

(72) 発明者 西岡 直治

東京都台東区上野6丁目16番20号 太陽誘電株式会社内

(72) 発明者 星 健一

東京都台東区上野6丁目16番20号 太陽誘電株式会社内

(72) 発明者 福井 義純

東京都台東区上野6丁目16番20号 太陽誘電株式会社内

(74) 代理人 弁理士 北條 和由

審査官 伊坪 公一

最終頁に続く

(54) 【発明の名称】積層チップインダクタとその製造方法

1

【特許請求の範囲】

【請求項1】磁性体の中でターン状の導体が周回状に接続された積層チップインダクタに於いて、上記磁性体のA g若しくはA gを主体とする合金からなる導体とが低酸素濃度雰囲気中で上記導体の融点または固相線温度に近い温度で焼成された事を特徴とする積層チップインダクタ。

【請求項2】未焼成の磁性体シート上に、A g若しくはA gを主体とする合金を含むターン状の導電ペーストを塗布し、これら磁性体シートを積層して焼成することにより、ターン状の導体が周回状に接続された積層チップインダクタを製造する方法に於いて、焼成雰囲気を低酸素濃度雰囲気とし、且つ焼成温度を上記導電ペースト中の導体の融点または固相線温度に近い温度とする事を特徴とする積層チップインダクタの製造方法。

2

【請求項3】磁性体ペーストと、A g若しくはA gを主体とする合金を含むターン状の導電ペーストを交互に塗布し、得られた積層体を焼成することにより、ターン状の導体が周回状に接続された積層チップインダクタを製造する方法に於いて、焼成雰囲気を低酸素濃度雰囲気とし、且つ焼成温度を上記導電ペースト中の導体の融点または固相線温度に近い温度とする事を特徴とする積層チップインダクタの製造方法。

【請求項4】前項特許請求の範囲第2項または第3項の10何れかに記載の低酸素濃度雰囲気が、50000ppm以下の酸素濃度雰囲気である事を特徴とする積層チップインダクタの製造方法。

【発明の詳細な説明】

【産業上の利用分野】

本発明は、A g若しくはA g-P d導体を内部電極とす

る積層チップインダクタとその製造方法に関する。

[従来の技術]

電子部品の小型化、高密度に伴って、小型で大きなインダクタンスが取得出来るインダクタとして、積層チップインダクタが注目されるようになった。

積層チップインダクタは、主として次の二つの方法により製造されていた。一つは、フィルム状の担体上に、強磁性体ペーストを塗布し、その上に導電ペーストをターン状に印刷し、該ターン状の一方の端部を除いた部分の上に、強磁性体ペーストを印刷し、これを繰り返して強磁性体の間に周回状の導体が形成された積層体を形成し、この積層体をフィルム状の担体から剥離し、焼成し、さらに上記周回状に接続されたターン状の導体の両端部に接続するよう、外部電極を形成することにより製造する方法である。二つは、未焼成の磁性体シート上に、導電性ペーストをターン状に印刷し、これを重ね合わせて圧着し、焼成し、さらに上記周回状に接続されたターン状の導体の両端部に接続するよう、外部電極を形成して製造する方法である。

第1図に、前者の製造方法において、焼成前の積層体を形成する迄の工程の一例が示してある。すなわち、まず(a)で示すように、ベースとなる未焼成の磁性体シート1の上に半ターン状の内部電極を形成するための導電ペースト2を塗布し、次いで(b)に示すように、その上から上記導電ペースト2の一部を覆うように磁性体ペースト9を塗布する。次いで、(c)で示すように、上記導電ペースト2の一端に接続するよう、もう半ターン分の導電ペースト4を塗布し、さらに(d)で示すように、その上から前に塗布した導電ペースト2の残りと、新たに塗布した導電ペースト4の一部を覆うよう磁性体ペーストを塗布する。以下、(e)～(h)に示すように、これを何度も繰り返し、最後に或る程度の厚さの磁性体シート5を積層し、積層体7を得る。この場合、最初と最後の導電ペースト2、4については、その一端が積層体7の端面に露出するよう、端部を磁性体シート1や磁性体ペースト9の端縁まで印刷する。

第2図は、後者の製造方法において、積層体を形成する工程の一例を示すもので、(a)で示すように、予め半ターンずつ導電ペースト2、4を印刷した未焼成の磁性体シート3、3…を多数積層、圧着し、同図(b)のような積層体を得る。この場合、隣接する層の導電ペースト2、4は、磁性体シート3、3…に開設したパライアホール6に導電ペーストの充填により、螺旋状に接続される。

こうして形成された積層体7は、焼成炉に導入して焼成の後、第3図(a)の状態からメッキや導電ペーストの塗布、焼付け等の手段で、同図(b)で示すように端部に外部電極8、8を形成する。これにより、積層チップインダクタが完成する。

積層チップインダクタの前記内部電極を形成するための

材料となる印刷用の導電ペーストに含まれる導体としては、Ag若しくはAgを主とするAg-Pd合金が使用されていた。

[発明が解決しようとする課題]

上記従来の積層インダクタとその製造方法においては、次のような問題点を有していた。

上記インダクタでは、導体の抵抗値が低い程、そのインダクタの品質係数(Q)が向上する。Ag-Pd合金の場合、合金中のPdの比率が増大する程、導体の抵抗率が高くなるので、合金中のPdの量を増加させることは好ましくない。ちなみに、5重量%のPdを含むAg-Pd合金の抵抗率は、Pdを含まないAgの約2倍の抵抗率を示す。従って、導体の抵抗値という観点からすれば、インダクタの導体としてはAgを使用するのが最も望ましく、また、Ag-Pd合金を使用する場合でも、合金中のPdの比率が5重量%以下のものを用いることが必要である。

導電ペースト用の導体として用いられるAgあるいはAg-Pd合金は、融点若しくは固相線温度が低い。例えば、Agの融点は、960°Cであり、また、Ag-Pd合金は、合金中のPdの比率が5重量%の場合、固相線温度は980°Cである。

積層チップ型インダクタに使用される磁性材料は、一般にフェライト磁性材料であるが、この内部に印刷された導電ペーストを、その導体材料の融点または固相線温度に近い温度で焼成すると、導体材料がフェライトの内部に拡散し、内部電極の抵抗値を増大させ、インダクタの品質係数(Q)が悪化する。そこでこの問題を解消するため、従来では上記導体材料の融点または固相線温度より100°C程低い温度、具体的には860°C前後の温度で積層体を焼成することが行なわれていた。

しかし、積層体を低い温度で焼成するためには、低温焼成可能なフェライト材料を用いる必要があり、そのため、フェライト原料粉末を微粉末化したり、原料中にCuO等の焼結助剤を多量に加える等の手段をとらなければならない。ところが、微粉末原料を用いたフェライト材料は、高価であり、積層チップ型インダクタのコストを上昇させる欠点があり、またCuO等の焼結助剤を多く加えると、フェライトの透磁率(μ)やインダクタの品質係数(Q)の低下を招くという欠点がある。

さらに、上記のような860°C前後という、低い温度で、積層体を焼成しても、なお完全に磁性体中への導体の拡散を防止することができず、インダクタの品質係数(Q)の低下を防ぐことができない、という課題があつた。

そこで、本発明の目的は、上記課題を解消する事ができる積層チップインダクタとその製造方法を提供する事にある。

[課題を解消する為の手段]

すなわち、上記目的を達成する為の手段の要旨は、第一

に、磁性体の中にターン状の導体が周回状に接続された積層チップインダクタに於いて、上記磁性体とA g若しくはA gを主体とする合金からなる導体とが低酸素濃度雰囲気中で上記導体の融点または固相線温度に近い温度で焼成された事を特徴とする積層チップインダクタである。

第二に、未焼成の磁性体シート上に、A g若しくはA gを主体とする合金を含むターン状の導電ペーストを塗布し、これら磁性体シートを積層して焼成することにより、ターン状の導体が周回状に接続された積層チップインダクタを製造する方法に於いて、構成雰囲気を低酸素濃度雰囲気とし、且つ焼成温度を上記導電ペースト中の導体の融点または固相線温度に近い温度とする事を特徴とする積層チップインダクタの製造方法である。

第三に、磁性体ペーストと、A g若しくはA gを主体とする合金を含むターン状の導電ペーストを交互に塗布し、得られた積層体を焼成することにより、ターン状の導体が周回状に接続された積層チップインダクタを製造する方法に於いて、焼成雰囲気を低酸素温度雰囲気とし、且つ構成温度を上記導電ペースト中の導体の融点または固相線温度に近い温度とする事を特徴とする積層チップインダクタの製造方法である。

さらに、上記低酸素濃度雰囲気が、具体的には、5000 0ppm以下の酸素濃度雰囲気である積層チップインダクタの製造方法である。

[作 用]

A g若しくはA gを主体とするA g合金を含む導電ペーストを、大気中より十分酸素の濃度が低い雰囲気、より具体的には酸素濃度50000ppm以下の雰囲気中で焼結すると、A gの活性が低下し、焼成時に磁性体の中へのA gの拡散が極度に抑えられる。このため、大気中におけるA gの融点若しくはA g合金の固相線温度に近い温度で焼成しても、磁性セラミックの中へ導体が拡散しにくく。

従って、焼成温度をA gと融点またはA g合金の固相線温度に近づけても内部電極の抵抗値が増大せず、またインダクタの品質係数(Q)が低下しない。これにより、状況より焼成温度の高い磁性材料の使用が可能となり、良好な特性のインダクタが安価にして得られる。

[実 施 例]

次に、本発明の具体的な実施例について詳細に説明する。

(実施例1)

F e₂O₃が4.8モル%、N i Oが2.1モル%、Z n Oが2.1モル%、C u Oが1.0モル%からなるフェライト原料粉末と、トルエン、エタノールが1対1の混合溶媒中に、ポリビニルブチラールを溶解した有機バインダと、ジブチルフタレート(可塑剤)と、オレイン酸(分散剤)とをポールミルで混合し、セラミック原料のスラリを用意した。

このスラリを真空脱泡機で脱泡した後、これからドクターブレード法によって、厚さ70μmの長尺なフェライト・グリーンシートを形成した。このフェライト・グリーンシートを所定の大きさ、例えば150mm×120mmに切断し、このシート上に直径150μmの貫通孔を複数形成してバライアホールを形成した。

またこれとは別に、エチルセルローズをテレビネオール溶剤で溶解したバインダ中に、A g粉末(比表面積1.5m²/g)を加えて混練し、A gペーストを作った。

10 前記バライアホールを形成したグリーンシート上に、前記A gペーストを第2図で示すような半ターンのコイル状にスクリーン印刷し、これと同時にバライアホールの内部にもA gペーストを充填した。このようなシートを、半ターンずつ交互に複数枚重ねて、60℃に保温したまま200kg/cm²の圧力で熱圧着した。

こうして作られた未焼成のスラミック基板を、両端の導体の一端が積層体の両端面に露出するよう裁断してチップ状とし、これをまず大気中で、1.0℃/minの温度勾配で室温から500℃まで昇温させ、続いて500℃

20 の温度を10分間保持し、その後-10℃/minの温度勾配で室温まで冷却し、脱バインダ処理を行った。

次ぎに炉内に窒素ガスを導入し、これで炉内のガスを置換した後、5℃/minの温度勾配で室温から930℃まで昇温させ、続いて930℃の温度を1時間保持した後、-5℃/minの温度勾配で室温まで冷却した。この時の炉内の酸素濃度をジルコニア式酸素濃度計によって測定した結果10ppmであった。

焼成後の上記チップの端面とこれに連なる上下の面と側面の端部歩寄りとに、A gを主成分とする導電ペースト

30 を塗布し、これを大気中で600℃の温度で焼き付けて、外部電極を形成した。さらに、この外部電極の上にNiメッキと半田メッキを施した。

以上の方法で作られた積層チップインダクタの直流抵抗を測定した結果は0.57Ωであった。また、周波数10MHzにおけるインダクタンスは、3.8μH、そのときのインダクタの品質係数Qは、5.8であった。以上の結果を下表のE 1の欄に示した。

(実施例2～6)

上記実施例1に於いて、焼成時の炉内雰囲気の窒素ガスと空気ガスとが2500:1、500:1、100:1、20:1、及び3.2:1の割合で混合された混合ガスな代えた事以外は、同実施例1と同様の条件で積層チップインダクタを各々製造した。この時の炉内の酸素濃度は、各々下表のE 2～E 6の欄に示す通りであった。

また、積層イップインダクタの直流抵抗、周波数10MHzにおけるインダクタンス、そのときのインダクタの品質係数Qの測定値は各々下表のE 2～E 6の欄に示す通りであった。

50 (比較例1、2)

上記実施例1に於いて、焼成時の炉内雰囲気の窒素ガスと空気との比を1:1とした場合、及び同炉内雰囲気を全て空気とした場合につき、同実施例1と同様の条件で各々積層チップインダクタを製作した。この場合の焼成条件を、下表のP1、P2の欄に各々示す。

この結果、前者の積層チップインダクタの直流抵抗、周波数10MHzにおけるインダクタンスは、そのときのインダクタの品質係数Qの測定値は下表のF1の欄に示した通りであった。また、後者の積層チップインダクタでは、磁性体シートの層間に形成された内部敗戦がすべて断線しており、インダクタンス特性を測定することはできなかった。

表

No	焼成温度°C	焼成雰囲気N ₂ /Air	酸素濃度ppm	直流抵抗Ω	インダクタンスμH	Q
E1	930	全N ₂	10	0.57	3.7	58
E2	930	2500	90	0.60	3.7	60
E3	930	500	420	0.61	3.8	59
E4	930	100	2100	0.65	3.9	58
E5	930	20	10000	0.72	4.0	55

No	焼成温度°C	焼成雰囲気N ₂ /Air	酸素濃度ppm	直流抵抗Ω	インダクタンスμH	Q
E6	930	3.2	50000	0.88	4.0	50
P1	930	1	105000	1.50	3.9	30
P2	930	全Air	210000

[発明の効果]

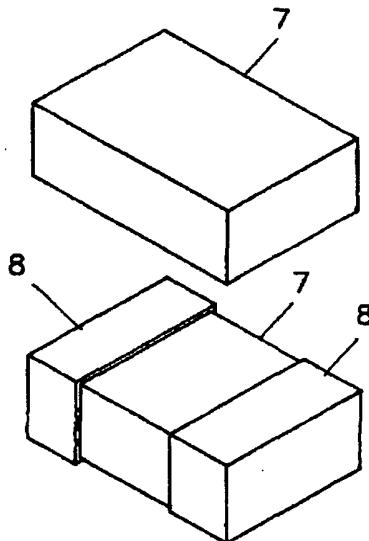
10 以上説明した通り、本発明によれば、Ag若しくはAgを主体とするAg合金を導体とした積層チップインダクタを、従来より高い温度で焼成する事が可能になる。これによって、導体の直流抵抗が増大せず、品質係数Qが高く、信頼性の高い積層チップインダクタを安価に提供出来ると言う効果が達成される。

【図面の簡単な説明】

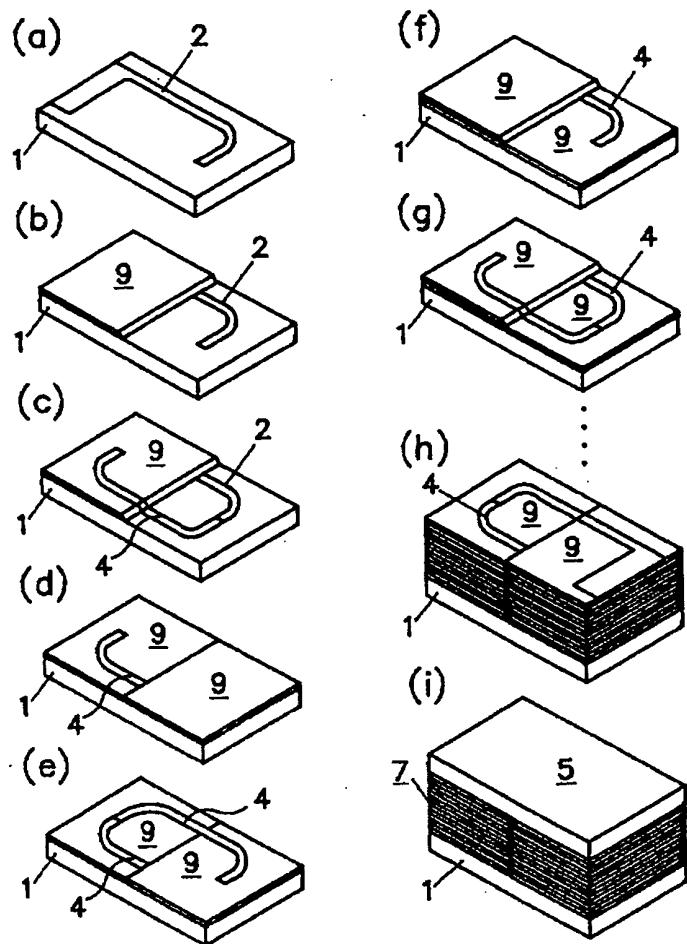
第1図は、積層チップインダクタの積層チップの製造工程の一例を示す概念斜視図、第2図は、積層チップインダクタの積層チップの製造工程の他の例を示す概念斜視図、第3図は、積層チップに外部電極を形成する工程を示す概念斜視図である。

2、4……導電ペースト、3、5……磁性体シート
6……バライアホール、7……積層体、8……外部電極

【第3図】

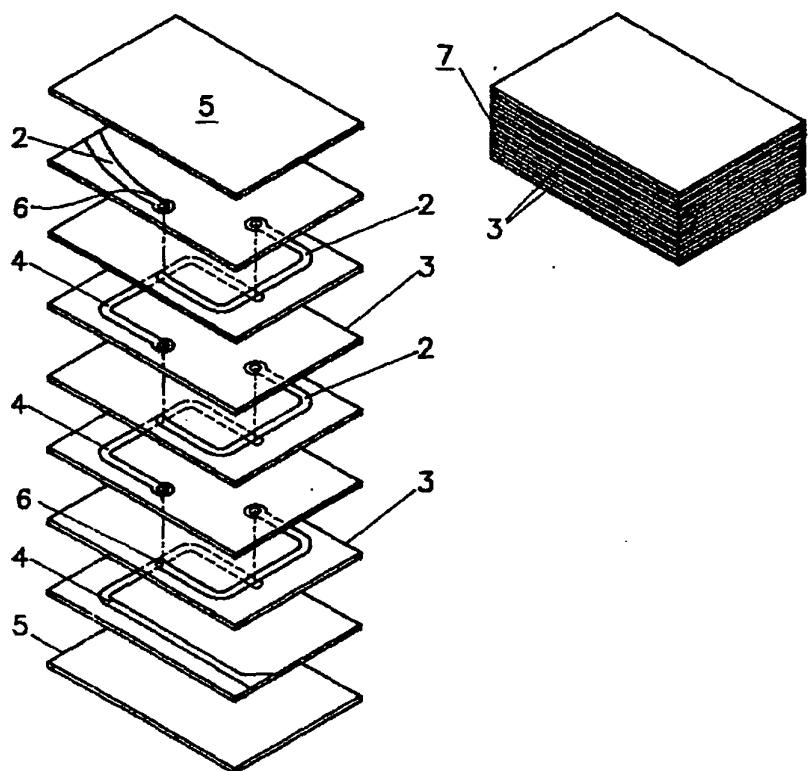


【第1図】



【第2図】

(a) (b)



フロントページの続き

(72)発明者 中沢 瞳士

東京都台東区上野6丁目16番20号 太陽誘
電株式会社内

(56)参考文献 特開 昭63-102215 (J P, A)